

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

BONG-HWA JEONG

Application No.:

Filed:

For: **Semiconductor Memory Device
Reducing Noise**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Republic of Korea	2002-66937	31 October 2002

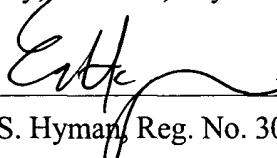
A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 7/18/03

12400 Wilshire Blvd., 7th Floor
Los Angeles, California 90025
Telephone: (310) 207-3800


Eric S. Hyman, Reg. No. 30,139

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0066937
Application Number PATENT-2002-0066937

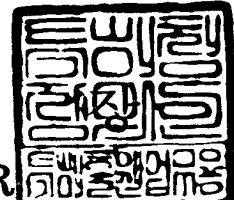
출원년월일 : 2002년 10월 31일
Date of Application OCT 31, 2002

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2002 년 12 월 03 일

특허청
COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0008		
【제출일자】	2002.10.31		
【발명의 명칭】	노이즈가 감소된 반도체 메모리 장치		
【발명의 영문명칭】	Semiconductor memory device for reducing noise		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【명칭】	특허법인 신성		
【대리인코드】	9-2000-100004-8		
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천		
【포괄위임등록번호】	2000-049307-2		
【발명자】			
【성명의 국문표기】	정봉화		
【성명의 영문표기】	JEONG, Bong Hwa		
【주민등록번호】	690530-1094711		
【우편번호】	467-860		
【주소】	경기도 이천시 부발읍 아미리 산 136-1		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 특허법인 신성 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	11	면	11,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	13	항	525,000 원
【합계】	565,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 비트라인에 인가된 데이터신호를 감지 증폭하기 위한 감지증폭기의 동작 시 노이즈를 줄여, 보다 안정된 동작을 기대할 수 있는 메모리 장치를 제공하기 위한 것으로, 이를 위해 본 발명은 다수의 단위셀을 포함하는 셀어레이; 상기 다수의 단위셀에 저장된 전위가 인가되는 다수의 비트라인; 상기 다수의 비트라인 전위를 감지하여 증폭하기 위한 다수의 감지증폭기; 상기 다수의 감지증폭기를 상기 다수의 비트라인에 연결하거나, 분리하기 위한 다수의 스위칭수단; 및 적어도 다른 두가지의 타이밍으로 상기 다수개의 스위칭 수단을 턴온시키기 위한 감지증폭기 연결 제어수단을 구비하는 반도체 메모리 장치를 제공한다.

【대표도】

도 6

【색인어】

반도체, 메모리, 셀어레이, 노이즈, 감지증폭기

【명세서】**【발명의 명칭】**

노이즈가 감소된 반도체 메모리 장치{Semiconductor memory device for reducing noise}

【도면의 간단한 설명】

도1은 통상적인 반도체 메모리장치의 블럭구성도.

도2는 도1에 도시된 셀영역의 블럭구성도.

도3은 도2의 감지증폭부를 자세히 나타낸 회로도.

도4는 도3에 도시된 감지증폭부의 동작 파형도.

도5는 종래기술에 의한 다수개의 감지증폭기를 구비한 감지증폭부의 블럭구성도.

도6은 본 발명의 바람직한 실시예에 따른 메모리 장치의 블럭구성도.

도7은 본 발명의 바람직한 제2 실시예에 따른 메모리 장치의 블럭구성도.

도8은 본 발명의 바람직한 제3 실시예에 따른 메모리 장치의 블럭구성도.

도9은 본 발명의 바람직한 제4 실시예에 따른 메모리 장치의 블럭구성도.

도10은 본 발명의 바람직한 제5 실시예에 따른 메모리 장치의 블럭구성도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<11> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 비트라인에 인가된 신호를 증폭하여 출력하는 감지증폭기의 동작 노이즈를 줄이기 위한 메모리 장치에 관한 것이다.

<12> 도1은 통상적인 반도체 메모리장치의 블럭구성도이다.

<13> 도1을 참조하여 살펴보면, 통상적인 메모리 장치는 로우어드레스를 입력받아 디코딩하여 출력하는 로우어드레스 입력부(20)와, 컬럼어드레스를 입력받아 디코딩하여 출력하는 컬럼어드레스 입력부(30)와, 다수개의 단위셀로 구성된 셀어레이(Cell array)(110, 120, 130, 140)를 다수 구비하여 로우어드레스 입력부(20)와 컬럼어드레스 입력부(30)에서 출력되는 신호에 해당되는 데이터를 출력하는 셀영역(100)과, 셀영역(100)에서 출력되는 데이터를 외부로 출력하기 위한 데이터 출력부(40)를 구비한다.

<14> 한편, 셀영역(100)은 셀어레이(110, 120, 130, 140)에서 출력되는 데이터 신호를 증폭하여 데이터 출력부(40)로 출력하기 위한 감지증폭부(150, 160)를 구비하고 있다.

<15> 도2는 도1에 도시된 셀영역(100)을 나타낸 블럭구성도이다.

<16> 도2를 참조하여 살펴보면, 셀영역(100)에는 단위 셀(통상적으로 하나의 캐패시터와 트랜지스터로 구성됨)이 다수 어레이된 셀어레이(100, 130, 180)가 있고, 셀어레이(100, 130, 180)에는 다수의 셀어레이중에서 선택된 단위셀에 저장된 데이터 신호가 인가되는 비트라인(BL, /BL)과, 비트라인(BL, /BL)에 인가된 신호를 감지, 증폭하는 감지증폭부(150, 170)가 구비되어 있다. 또한, 감지증폭부(150, 170)와 셀어레이(110, 130, 180)간의

연결 및 분리를 위한 제1 및 제2 연결신호(BISH,BISL)를 출력하는 제1 및 제2 감지증폭기 연결제어부(200,300)가 구비되어 있다.

<17> 도3은 도2에 도시된 감지증폭부(150)의 일예를 나타낸 회로도이다.

<18> 도3을 참조하여 살펴보면, 감지증폭부(150)는 감지증폭기 인에이블신호(RTO, /S)에 의해 인에이블되어, 비트라인(BL, /BL)의 신호 차이를 증폭하기 위한 감지증폭기(152)와, 감지증폭기가 디스에이블이 때에 출력되는 프리차지인에이블신호(BLEQ)에 인에이블되어 비트라인 프리차지 전압(Vb1p)으로 비트라인(BL, /BL)을 프리차지하기 위한 프리차지부(155)와, 제1 이퀄라이제이션 신호(BLEQH)에 의해 셀어레이0(110)에 연결된 두 비트라인(BL, /BL)의 전압레벨을 같게 하기 위한 제1 이퀄라이제이션부(154)와, 제2 이퀄라이제이션 신호(BLEQL)에 의해 셀어레이1(130)에 연결된 비트라인(BL, /BL)의 전압레벨을 같게 하기 위한 제2 이퀄라이제이션부(156)와, 칼럼어드레스에 의해 생성되는 컬럼제어신호(CD)에 의해 감지증폭기(152)에 의해 증폭된 데이터신호를 데이터 라인(DB, /DB)으로 출력하기 위한 감지증폭기출력부(157)로 구성된다.

<19> 또한 감지증폭기 연결제어부(200)는 제1 및 제2 연결신호(BISH,BISL)를 출력하여 감지증폭부(150)와, 셀어레이0,1(110,130)를 연결하거나 분리시킨다. 여기서 캐패시터(C1 ~ C4)는 각각 셀어레이0,1(110,130)의 단위셀, 금속배선등을 포함한 비트라인(BL, /BL)에서 보이는 로드(load) 캐패시턴스를 나타낸다.

<20> 도4는 도3에 도시된 감지증폭부(150)의 동작을 나타내는 동작파형도이다. 이하 도1 내지 도4를 참조하여 메모리 장치에서 감지증폭부의 동작을 살펴본다.

<21> 먼저 이전에는 셀어레이마다 하나의 센서앰프가 구비되어 셀어레이중의 한 단위셀의 데이터가 비트라인에 인가되면, 이를 감지, 증폭하였으나, 현재에는 메모리장치의 고집적을 위해서 2개의 셀어레이(110,130)) 당 하나의 감지증폭부(150)를 구비하고, 적절한 연결신호(BISH, BISL)에 따라 감지증폭부와 셀 어레이(110,130)를 연결 또는 분리 시켜고 있다.

<22> 예컨대,, 감지증폭기 연결제어부(200)에서 출력되는 제1 연결신호(BISH)에 의해 제1 연결부(151)이 턴온되어 감지증폭부(150)과 셀어레이0(110)가 연결되고, 제2 연결신호(BISL)에 의해 제2 연결부(153)가 턴온되어 감지증폭부(150)와 셀어레이1(130)가 연결된다.

<23> 하나의 셀어레이와 감지증폭부가 연결되면, 입력된 어드레스에 의해 셀어레이의 한 단위셀이 선택되고, 선택된 단위셀의 데이터신호가 프리차지(통상적으로 전원전압의 1/2로 프리차지됨)되어 있던 비트라인(BL,/BL)에 인가된다.

<24> 도4에 감지증폭기연결 제어부(200)에서 출력되는 제1 및 제2 연결신호(BISH,BISL)가 인가되고 난 후, 워드라인(WL)에 하이레벨이 인가되고, 이어서 비트라인(BL,/BL)에 인가된 데이터신호를 감지증폭기가 감지하여 각각 전원전압(VDD)과 접지전압(VSS)으로 증폭하는 것이 도시되어 있다.

<25> 실제 메모리 장치에서는 감지증폭부(150)는 하나의 셀어레이에 연결된 다수개의 비트라인쌍(BL,/BL)에 인가된 데이터신호를 증폭하기 위해서 다수개의 감지증폭기를 구비하게 되는데, 비트라인 감지증폭기의 갯수는 하나의 셀어레이에 연결된 비트라인쌍(BL,/BL)의 수에 따라 정해진다.

<26> 도5에는 8개의 감지증폭기를 구비하여 셀어레이에 연결된 8개의 비트라인쌍에 인가된 데이터신호를 감지증폭하기 위한 감지증폭부가 도시되어 있다.

<27> 도5을 참조하여 살펴보면, 감지증폭부(150)에 각각 연결된 8개의 비트라인쌍(BL0,/BL0 ~ BL7,/BL7)에 인가된 신호를 감지, 증폭하기 위해 8개의 감지증폭기(154 ~ 162)가 구비되어 있으며, 8개의 감지증폭기(154 ~ 162)를 셀어레이0에 구비된 8개의 비트라인쌍(BL,/BL)에 연결하기 위한 16개의 스위칭 트랜지스터로 구성된 제1 연결부(151)과, 8개의 감지증폭기(154 ~ 162)를 셀어레이1(130)에 연결된 8개의 비트라인쌍(BL0,/BL0 ~ BL7,/BL7)에 연결하기 위한 16개의 스위칭 트랜지스터로 구성된 제2 연결부(153)를 구비한다.

<28> 그런데, 메모리 장치의 집적도가 증가하면서 하나의 셀어레이를 구성하는 단위셀의 갯수가 증가하게 되고, 이로 인해 셀어레이에 연결된 비트라인쌍(BL,/BL)의 수도 증가하게 되며, 감지증폭부를 구성하는 감지증폭기의 갯수도 증가하게 된다.

<29> 감지증폭기 개수가 증가하게 되면, 감지증폭기 연결제어부(200)에서 출력하는 제1 및 제2 연결신호(BISH,BISL)에 의해 턴온되는 스위칭 트랜지스터의 갯수도 증가하게 되어 소모 전류, 특히 순간소모전류가 증가하게 된다.

<30> 예컨대 감지증폭부(150)를 구성하는 감지증폭기가 16개로 증가하게 되면 스위칭 트랜지스터의 갯수도 32개로 증가하여, 제1 및 제2 연결신호(BISH,BISL)에 의해 셀어레이와 감지증폭부가 연결될 때에 32개의 스위칭 트랜지스터가 동시에 턴온되어, 소모전류(Peak current)가 크게 증가하게 된다. 이로 인해 파워노이즈가 증가되어 메모리 장치의 안정적인 동작 신뢰성이 저하되는 문제점이 생긴다.

<31> 워드라인(WL)이 인에이블되는 동작은 메모리 장치에서 매우 중요한 동작으로서 워드라인(WL) 동작 이전에 발생되는 제1 및 제2 연결신호(BISH,BISL)에 의해 파워 노이즈가 발생한다면 메모리장치의 동작신뢰성 저하뿐 아니라 전체 동작 속도도 느려지게 되어 큰 문제가 된다.

【발명이 이루고자 하는 기술적 과제】

<32> 본 발명은 비트라인에 인가된 데이터신호를 감지 증폭하기 위한 감지증폭기의 동작 시 노이즈를 줄여, 보다 안정된 동작을 기대할 수 있는 메모리 장치를 제공하는 것을 특징으로 한다.

【발명의 구성 및 작용】

<33> 상기의 목적을 달성하기 위해서 본 발명은 다수의 단위셀을 포함하는 셀어레이; 상기 다수의 단위셀에 저장된 전위가 인가되는 다수의 비트라인; 상기 다수의 비트라인 전위를 감지하여 증폭하기 위한 다수의 감지증폭기; 상기 다수의 감지증폭기를 상기 다수의 비트라인에 연결하거나, 분리하기 위한 다수의 스위칭수단; 및 적어도 다른 두가지의 타이밍으로 상기 다수개의 스위칭 수단을 턴온시키기 위한 감지증폭기 연결 제어수단을 구비하는 반도체 메모리 장치를 제공한다.

<34> 또한, 본 발명은 다수의 단위셀을 포함하는 셀어레이; 상기 다수의 단위셀에 연결된 다수의 비트라인의 전위를 감지 및 증폭하기 위한 다수의 감지증폭기; 상기 다수의 감지증폭기와 상기 다수의 비트라인을 연결 또는 분리하기 위한 다수의 스위칭수단; 상

기 다수의 스위칭 수단을 턴온시키기 위한 연결신호를 출력하기 위한 감지증폭기 연결 제어수단; 상기 연결신호를 상기 스위칭수단으로 전달하기 위한 배선; 및 상기 배선에 삽입되어, 상기 연결신호를 소정시간 지연시키기 위한 지연수단을 구비하는 반도체 메모리 장치를 제공한다.

<35> 또한 본 발명은 다수의 단위셀을 포함하는 셀어레이; 상기 다수의 단위셀에 저장된 전위가 인가되는 다수의 비트라인; 상기 다수의 비트라인 전위를 감지하여 증폭하기 위한 다수의 감지증폭기; 상기 다수의 감지증폭기를 상기 다수의 비트라인에 연결하거나, 분리하기 위한 다수의 스위칭수단; 상기 다수의 스위칭 수단중 일부분을 제1 타이밍에 턴온시키기 위한 제1 감지증폭기 연결 제어수단; 및 상기 제1 타이밍에 턴온되지 않는 상기 다수개의 스위칭 수단을 제2 타이밍에 턴온시키기 위한 제2 감지증폭기 연결제어수단을 구비하는 반도체 메모리 장치를 제공한다.

<36> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

<37> 도6은 본 발명의 바람직한 실시예에 따른 메모리 장치의 블럭구성도이다.

<38> 도6을 참조하여 살펴보면, 메모리장치는 다수개의 단위셀로 구성된 제1 셀어레이 (300)와, 제1 셀어레이(300)의 단위셀에 각각 연결된 다수개의 비트라인쌍(BL0, /BL0 ~ BL7, /BL7)에 상기 단위셀에 저장된 데이터신호가 인가되면,

이를 감지 증폭하기 위한 다수개의 감지증폭기(620a ~ 620h)와, 다수개의 감지증폭기(620a ~ 620h)를 다수개의 비트라인쌍(BL0, /BL0 ~ BL7, /BL7)에 연결하거나 또는 분리하기 위한 다수개의 스위치부(610a ~ 610h)와, 적어도 다른 두가지의 타이밍으로 상기 다수개의 스위치부(620a ~ 620h)를 턴온시키기 위한 감지증폭기 연결 제어부(500)를 구비 한다.

<39> 감지증폭기 연결 제어부(500)는 다수개의 스위치부(610a ~ 610h)를 턴온시키기 위한 제1 연결신호(BISH)를 출력하기 위한 제어부(530)과, 제1 연결신호(BISH)를 입력받아 소정시간 지연시켜 다수개의 스위치부(620a ~ 620h)중에서 일정 스위치부(610e ~ 610h)가 지연시간을 가지고 턴온되도록 하는 제2 연결신호(BISH')를 출력하기 위한 제1 딜레이(510)를 구비한다. 여기서 제1 딜레이(510)는 저항 또는 상기 직렬연결된 인버터로 구성할 수 있다.

<40> 8개의 스위치부(610a~610h)는 모스트랜지스터로 구성되며, 게이트로 제1 연결신호(BISH)를 입력으며, 8개의 비트라인(BL0, /BL0 ~ BL7, /BL7)과 감지증폭기(620a ~ 620h)를 각각 연결한다.

<41> 전술한 바와 같이 메모리 장치의 집적도를 높이기 위해, 하나의 감지증폭부(600)는 이웃한 2개의 셀어레이(300, 400)에 선택적으로 연결되는 구조이므로, 감지증폭부(600)의 일측에는 제1 셀어레이(300)가 구비되어 있고 8개의 스위치부(610a~610h)로 연결되며, 타측에는 제2 셀어레이(400)가 구비되어 있으며, 제2 셀어레이에 연결된 다수의 비트라인쌍(BL8, /BL8~BL15, /BL15)은 8개의 스위치부(630a ~ 630h)를 통해 감지증폭기(620a~620h)와 각각 연결된다.

<42> 또한, 스위치부(630a ~ 630h)를 턴온시키기 위한 제3 연결신호(BISL)는 감지증폭기 연결제어부(500)에서 출력되며, 제3 연결신호(BISL)를 소정시간 지연시켜 스위치부(630a ~ 630h)중 일부(630e~ 630h)를 늦게 턴온시키기 위한 제4 연결신호(BISL')를 출력하는 제2 딜레이(520)가 구비되어 있다.

<43> 본 발명의 실시예는 8개의 감지증폭기가 하나의 감지증폭부를 구성하고 있으나 메모리 셀어레이에서 출력되는 비트라인쌍의 갯수에 따라 감지증폭기를 16 또는 32개등으로 다양하게 구성할 수 있다. 이하에서 설명하는 모든 실시예에서 하나의 감지증폭부는 8개의 감지증폭기를 구비한 것으로 하여 설명한다.

<44> 이하 도6을 참조하여 본 실시예에 따른 메모리 장치의 동작을 살펴본다.

<45> 먼저, 메모리 장치에 입력되는 어드레스에 의해 감지증폭부(600)는 제1 셀어레이(300)와 연결되도록 선택되고, 이를 위해 감지증폭기 연결 제어부(500)에서 제1 연결신호(BISH)를 출력한다. 이로 인해 4개의 스위치부(610a~610d)가 턴온되어 네개의 감지증폭기(620a~620d)가 각각 4개의 비트라인쌍(BL0, /BL0~BL3, /BL3)에 연결된다.

<46> 이어서 제1 딜레이(510)는 제1 연결신호(BISH)가 소정시간 지연된 제2 연결신호(BISH')를 출력하고, 이로 인해서 나머지 4개의 스위치부(610e~610h)가 턴온되어 네개의 감지증폭기(620e~620h)가 각각 4개의 비트라인쌍(BL4, /BL4~BL7, /BL7)에 연결된다.

<47> 이어서 입력된 어드레스에 의해 제1 셀어레이(300)의 한 단위셀이 선택되고, 선택된 단위셀에 저장된 데이터신호는 다수의 비트라인쌍(BL0, /BL0 ~ BL7, /BL7)중에서 하나의 비트라인 쌍(예컨대 BL0, /BL0)에 인가된다. 이어서 감지증폭기는 인에이블되어 비트라인에 인가된 신호를 감지하여 전원전압 또는 접지전압으로 증폭한다. 감지증폭기에 의

해 증폭되어 비트라인에 인가된 데이터신호는 데이터버스등을 통해 출력버퍼로 전달되고, 이후 출력버퍼는 외부로 데이터를 출력하게 된다.

<48> 따라서 본 발명에 의한 메모리 장치는 감지증폭부를 구성하는 8개의 감지증폭기 (620a~6020h)가 제1 셀어레이(300)와 8개의 스위치부(610a~610h)를 통해 연결될 때에 한 번에 8개의 스위치(610a~610h)가 동시에 턴온되는 것이 아니라 먼저 4개의 스위치 (610a~610d)가 턴온되어 4개의 감지증폭기(620a~620d)가 제1 셀어레이(300)와 연결되고, 이어서 4개의 스위치(610e~610h)가 턴온되어 4개의 감지증폭기(620e~620h)가 제1 셀어레이(300)와 연결되는 것이다.

<49> 상기와 같은 동작으로 8개의 스위치(610a~610h)가 동시에 턴온될 때보다 순간 최대 전류를 줄일 수 있으며, 이로 인해 순간 최대전류가 줄어들게 되어 파워노이즈가 줄어들게 된다. 파워노이즈가 줄어들게 되면 메모리 장치를 안정적으로 동작시킬 수 있게 되는 것이다.

<50> 또한 감지증폭부를 구성하는 감지증폭기의 갯수가 증가하면 할수록, 동시에 모든 연결스위치를 턴온시킬 때에 보다, 상기의 같이 순차적으로 스위치를 턴온시켜 감지증폭부를 구성하는 다수의 감지증폭기와 셀어레이를 연결시킨다면 순간 최대전류를 감소시키는 효과는 크게 나타나게 된다.

<51> 한편, 반도체 메모리 장치를 구동시키는 데 있어서 제1 및 제2 연결신호가 출력되고 셀어레이의 단위셀을 선택하는데 있어서는 시간적 여유가 있으므로, 시간을 분할하여 동작하더라도 메모리 장치의 전체 동작속도에는 영향이 없다.

<52> 도7은 본 발명의 바람직한 제2 실시예에 따른 메모리 장치의 블럭구성도이다.

<53> 도7을 참조하여 살펴보면, 메모리장치는 다수개의 단위셀로 구성된 제1 셀어레이(300)와, 제1 셀어레이(300)의 단위셀에 각각 연결된 다수개의 비트라인쌍(BL0, /BL0 ~ BL7, /BL7)과, 다수개의 비트라인쌍(BL0, /BL0 ~ BL7, /BL7)에 과 선택된 단위셀의 데이터신호가 인가되면, 이를 감지 증폭하기 위한 다수개의 감지증폭기(620a ~ 620h)와, 다수개의 감지증폭기(620a ~ 620h)를 다수개의 비트라인쌍(BL0, /BL0 ~ BL7, /BL7)에 연결하거나 또는 분리하기 위한 다수개의 스위치부(610a ~ 610h)와, 다수의 스위칭 수단(610a ~ 610h)을 턴온시키기 위한 연결신호(BISH)를 출력하기 위한 감지증폭기 연결 제어부(500)와, 연결신호(BISH)를 상기 스위치부로 전달하기 위한 배선에 삽입되어, 일정한 시간간격으로 연결신호(BISH)를 순차적으로 지연시킨 다수의 인에이블신호를 생성하고, 다수의 인에이블신호는 다수의 감지증폭기(620a ~ 620h)를 순차적으로 턴온시키는 지연부(D1 ~ D7)를 구비한다.

<54> 여기서 순차적으로 지연시킨 다수의 인에이블신호는 직렬연결된 저항(R1 ~ R7)을 이용하여 생성하거나, 직렬연결된 다수의 인버터를 이용하여 생성한다.

<55> 또한, 감지증폭부(600)의 타측에는 제2 셀레이(400)와, 제2 셀어레이(400)와 감지증폭부(600)의 연결을 위한 8개의 스위치부(630a~630h0)가 구비되어 있으며, 8개의 스위치부(630a~630h0)를 순차적으로 턴온시키기 위한 딜레이(D8~D14)를 구비하고 있다.

<56> 도7을 참조하여 본 발명의 제2 실시예에 의한 메모리 장치의 동작을 살펴본다.

<57> 전체적인 동작은 도6에 도시된 메모리장치와 동일하나, 제1 셀어레이와 감지증폭부(600)를 연결하기 위해 감지증폭기 연결제어부(500)에서 출력되는 연결신호(BISH)에 의해서 먼저 제1 스위치부(610a)가 턴온되고, 이어서 제1 딜레이(D1)에 의해

소정시간 지연된 다음 제2 스위치부(610b)가 턴온된다. 이렇게 순차적으로 제7 딜레이(D7)까지 순차적으로 턴온된다.

<58> 따라서 8개의 스위치부(610a~610h0)가 동시에 턴온될 때보다 순차적으로 턴온시킴으로서 제1 셀어레이(300)와 감지증폭부(600)를 연결하게되면 8개의 스위치부(610a~610h0)에 흐르는 순간피크전류를 줄일 수 있고, 이로 인해 파워노이즈를 감소시킬 수 있다.

<59> 도8은 본 발명의 바람직한 제3 실시예에 따른 메모리 장치의 블럭구성도이다.

<60> 도8을 참조하여 살펴보면, 제3 실시예에 따른 메모리 장치는 다수개의 단위셀로 구성된 제1 셀어레이(300)와, 제1 셀어레이(300)의 단위셀에 각각 연결된 다수개의 비트라인쌍(BL0, /BL0 ~ BL7, /BL7)에 상기 단위셀에 저장된 데이터신호가 인가되면, 이를 감지증폭하기 위한 다수개의 감지증폭기(620a ~ 620h)와, 다수개의 감지증폭기(620a ~ 620h)를 다수개의 비트라인쌍(BL0, /BL0 ~ BL7, /BL7)에 연결하거나 또는 분리하기 위한 다수개의 스위치부(610a ~ 610h)와, 다수개의 스위치부(610a ~ 610h)중에서 소정갯수(예컨대4개)의 스위치부(610a ~ 610d)를 제1 타이밍에 턴온시키기 위한 제1 감지증폭기 연결 제어부(500)와, 제1 타이밍에 턴온되지 않는 다수개의 스위치부(610e ~ 610h)를 제2 타이밍에 턴온시키기 위한 제2 감지증폭기 연결제어부(500')를 구비한다.

<61> 도8을 참조하여 제3 실시예에 따른 메모리 장치의 동작을 살펴본다.

<62> 전체적인 동작은 도6에 도시된 메모리 장치와 동일하나 4개의 스위치부(610a~610d)는 제2 감지증폭기 연결 제어부(500)에서 출력되는 제1 연결신호에 의해 턴온이 되며, 4

개의 스위치부(610e~610h)는 제2 감지증폭기 연결 제어부(500')에서 출력되는 제2 연결 신호(BISH')에 의해 턴온이 된다.

<63> 따라서 동시에 8개의 스위치부를 턴온시키기 않고, 제1 및 제2 감지증폭기연결제어부(500, 500')에 의해 다른 타이밍에서 턴온되므로, 순간 피크전류를 줄여 노이즈를 줄일 수 있으며, 한편으로는 감지증폭부(600)에 구비된 다수의 감지증폭기중에서 동작시 필요한 감지증폭기만을 선택적으로 셀어레이와 연결시킬 수도 있어, 이로 인해 동작전류를 줄일수 있다.

<64> 도9은 본 발명의 바람직한 제4 실시예에 따른 메모리 장치의 블럭구성도이다.

<65> 도9를 참조하여 살펴보면, 제4 실시예에 따른 메모리 장치는 도8에 도시된 메모리 장치에서 제1 감지증폭기 연결 제어부(500)의 출력신호를 순차적으로 지연시켜 상기 제1 타이밍에 턴온되는 다수개의 스위칭수단(610e~610h)을 순차적으로 턴온시키기 위한 직렬 연결된 다수개의 제1 딜레이(D1~D3)와, 상기 제2 타이밍에 턴온되는 다수개의 스위치부(610e~610h)를 순차적으로 턴온시키기 위해 제2 감지증폭기 연결 제어부(500')의 출력신호를 순차적으로 지연시켜 상기 제2 타이밍에 턴온되는 다수개의 스위칭수단을 각각 순차적으로 턴온시키기 위한 직렬연결된 다수개의 제2 지연부(D4~D6)을 더 구비한다.

<66> 이렇게 제1 및 제2 감지증폭기 연결 제어부를 두어 4개의 스위치부를 각각 다른 타이밍에 턴온시켜 감지증폭부의 감지증폭기를 제1 및 제2 타이밍에 셀어레이와 연결시키는 한편, 각 타이밍에 턴온되는 스위치부를 순차적으로 턴온시키게 되면 더 효과적으로 스위치부의 턴온시 발생하는 노이즈를 줄일 수 있다.

<67> 도10은 본 발명의 바람직한 제5 실시예에 따른 메모리 장치의 블럭구성도이다.

<68> 도10을 참조하여 살펴보면, 제5 실시예에 따른 메모리 장치는 도8에 도시된 메모리 장치에서, 제2 감지증폭기 연결 제어부(500)가 제1 감지증폭기 연결 제어부(500')를 제어하는 제어신호를 지연시킨 신호에 의해 제어되는 것을 특징으로 하고 있다.

<69> 상기와 같이 제1 및 제2 감지증폭기 연결제어부(500, 500')를 제어함으로써, 메모리 장치에서 제2 감지증폭기 연결제어부(500')를 제어하기 위한 제어신호를 따로 생성하지 않아도 되기 때문에 제어방법을 간편하게 할 수 있다. 이 때에는 감지증폭부(600)에 구비된 감지증폭기(620e~620h)중에서 필요한 감지증폭기만 선택적으로 제1 셀어레이(300)와 연결시킬 수는 없다.

<70> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<71> 본 발명에 의해, 반도체 메모리 장치의 동작시 감지증폭기와 셀어레이의 비트라인에 연결될 때 발생하는 순간 피크전류를 크게 감소할 수 있어, 동작시 파워 노이즈를 줄이게 되어, 보다 안정적인 메모리 장치의 동작을 기대할 수 있다.

【특허청구범위】**【청구항 1】**

다수의 단위셀을 포함하는 셀어레이;

상기 다수의 단위셀에 연결된 다수의 비트라인의 전위를 감지 및 증폭하기 위한 다수의 감지증폭수단;

상기 다수의 감지증폭수단과 상기 다수의 비트라인을 연결 또는 분리하기 위한 다수의 스위칭수단; 및

적어도 다른 두가지의 타이밍으로 상기 다수개의 스위칭 수단을 턴온시키기 위한 감지증폭기 연결 제어수단

을 구비하는 반도체 메모리 장치.

【청구항 2】

다수의 단위셀을 포함하는 셀어레이;

상기 다수의 단위셀에 연결된 다수의 비트라인의 전위를 감지 및 증폭하기 위한 다수의 감지증폭기;

상기 다수의 감지증폭기와 상기 다수의 비트라인을 연결 또는 분리하기 위한 다수의 스위칭수단;

상기 다수의 스위칭 수단을 턴온시키기 위한 연결신호를 출력하기 위한 감지증폭기 연결 제어수단;

상기 연결신호를 상기 스위칭수단으로 전달하기 위한 배선; 및

상기 배선에 삽입되어, 상기 연결신호를 소정시간 지연시키기 위한 지연수단을 구비하는 반도체 메모리 장치.

【청구항 3】

제 2 항에 있어서,

상기 지연수단은 상기 연결신호를 소정시간 지연시킨 하나의 신호를 출력하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 4】

제 3 항에 있어서,

상기 지연수단은 저항을 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 5】

제 3 항에 있어서,

상기 지연수단은 직렬연결된 인버터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 6】

제 3 항에 있어서

상기 스위칭 수단은 모스트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 7】

제 3 항에 있어서,

상기 지연수단은

일정한 시간간격으로 상기 연결신호를 순차적으로 지연시킨 다수의 인에이블신호를 생성하고, 상기 다수의 인에이블신호는 상기 다수의 감지증폭기를 순차적으로 턴온시키는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 8】

제 7 항에 있어서,

상기 순차적으로 지연시킨 다수의 인에이블신호는

직렬연결된 저항을 이용하여 생성하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 9】

제 7 항에 있어서,

상기 다수의 인에이블신호는

직렬연결된 다수의 인버터를 이용하여 생성하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 10】

다수의 단위셀을 포함하는 셀어레이;

상기 다수의 단위셀에 저장된 전위가 인가되는 다수의 비트라인;

상기 다수의 비트라인 전위를 감지하여 증폭하기 위한 다수의 감지증폭기;

상기 다수의 감지증폭기를 상기 다수의 비트라인에 연결하거나, 분리하기 위한 다수의 스위칭수단;

상기 다수의 스위칭 수단중 일부분을 제1 구간에 턴온시키기 위한 제1 감지증폭기 연결 제어수단; 및

상기 제1 구간에 턴온되지 않는 상기 다수개의 스위칭 수단을 제2 타이밍에 턴온시키기 위한 제2 감지증폭기 연결제어수단
을 구비하는 반도체 메모리 장치.

【청구항 11】

제 10 항에 있어서,

상기 제1 구간에 턴온되는 다수개의 스위칭수단을 순차적으로 턴온시키기 위해 직렬연결된 다수개의 제1 지연수단; 및

상기 제2 구간에 턴온되는 다수개의 스위칭수단을 순차적으로 턴온시키기 위해 직렬연결된 다수개의 제2 지연수단을 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 12】

제 11 항에 있어서,

상기 제2 감지증폭기 연결 제어수단은

상기 체1 감지증폭기 연결 제어수단을 제어하는 제어신호를 자연시킨 신호에 의해 제어되는 것을 특징으로 하는 반도체 메모리 장치.

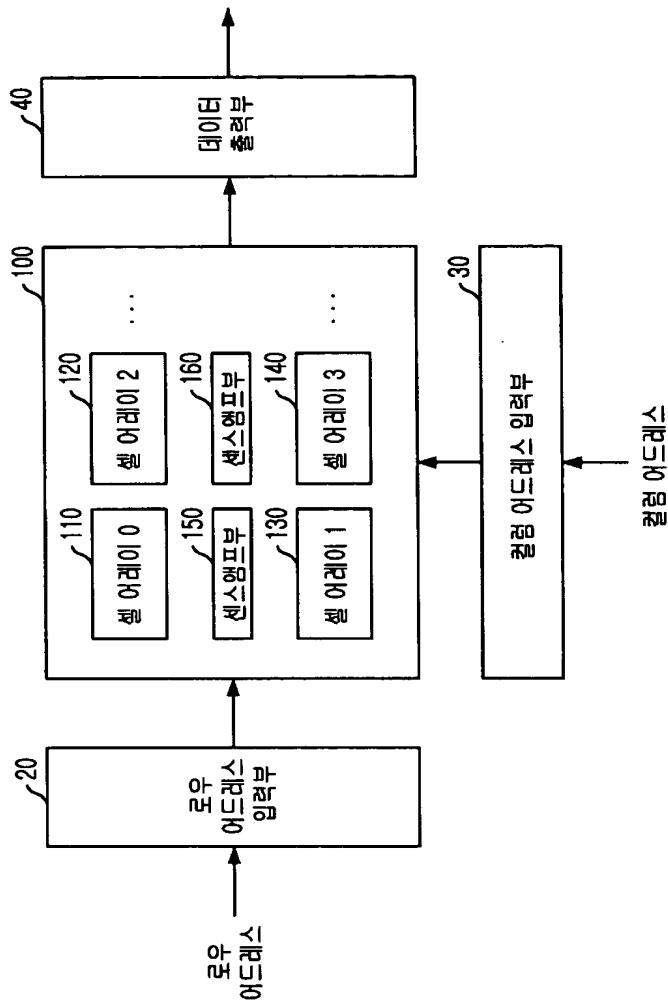
【청구항 13】

제 10 항에 있어서

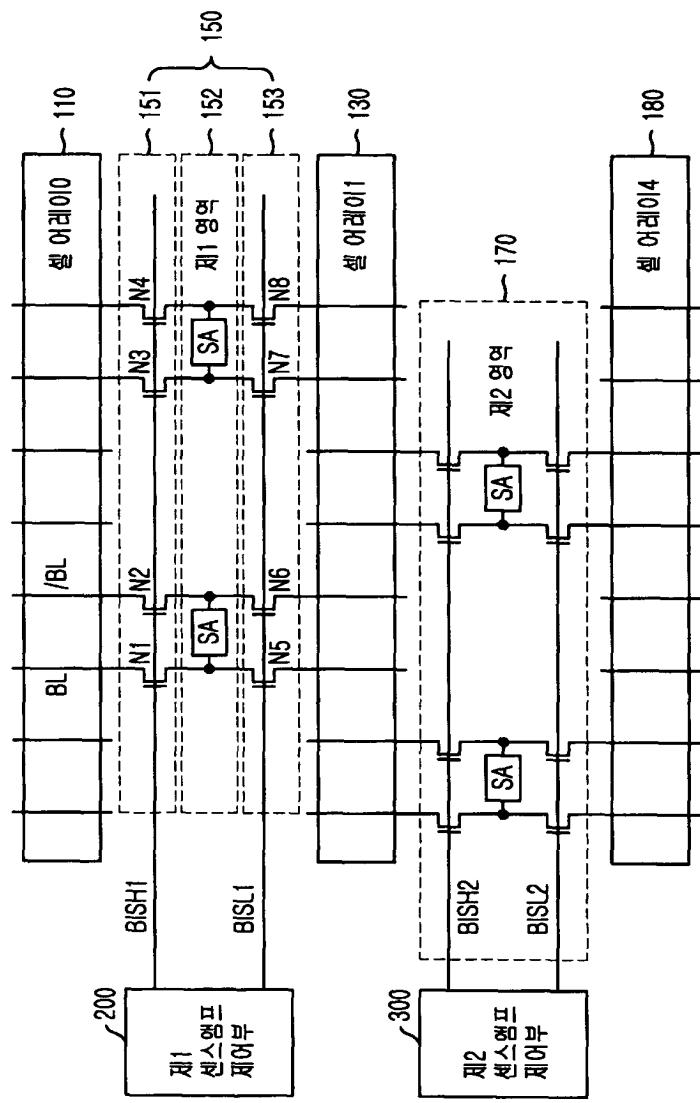
상기 스위칭 수단은 모스트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【도면】

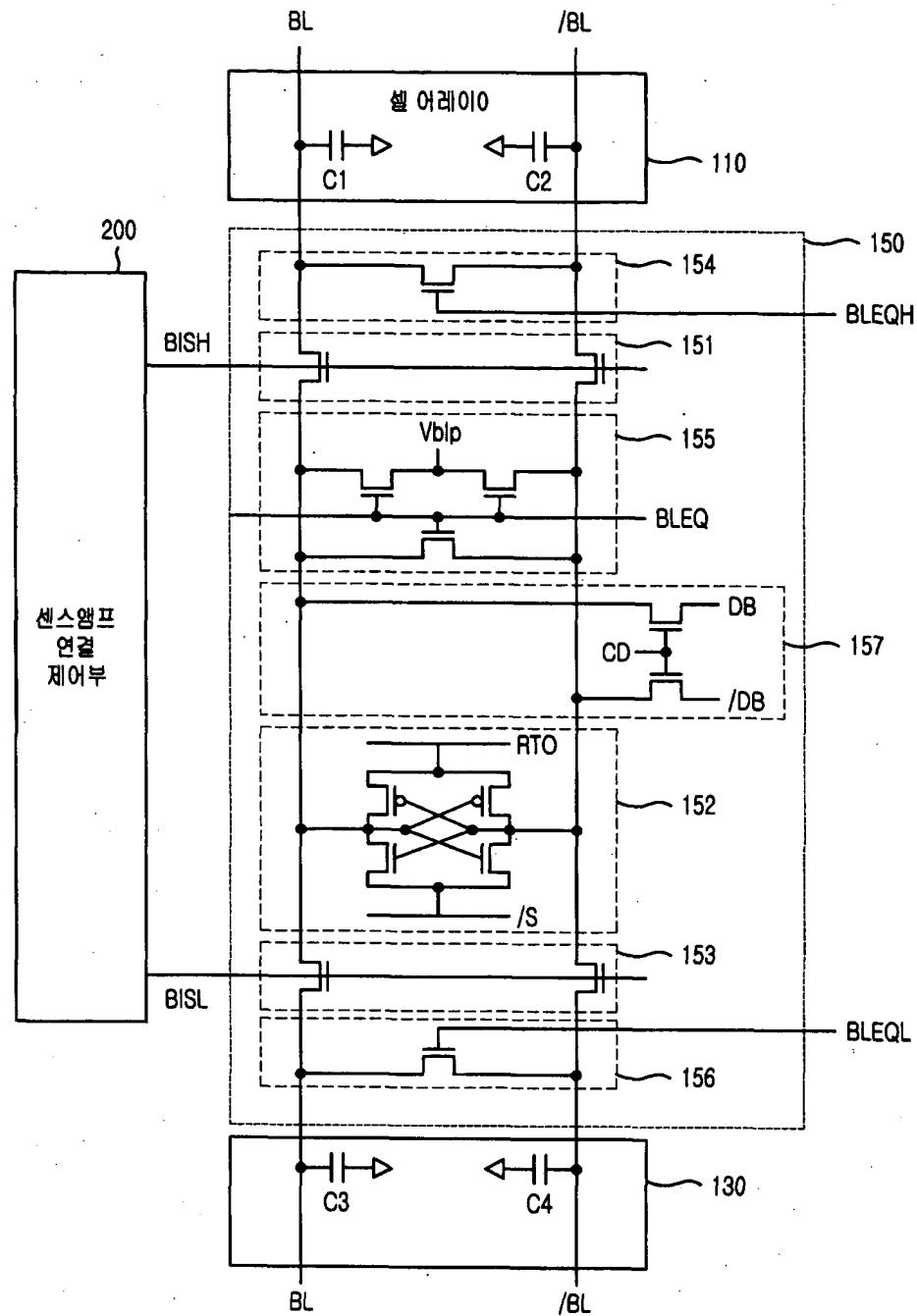
【도 1】



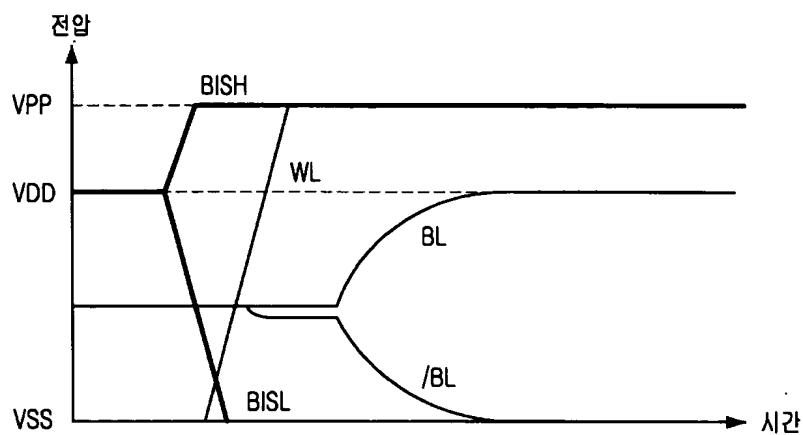
【도 2】



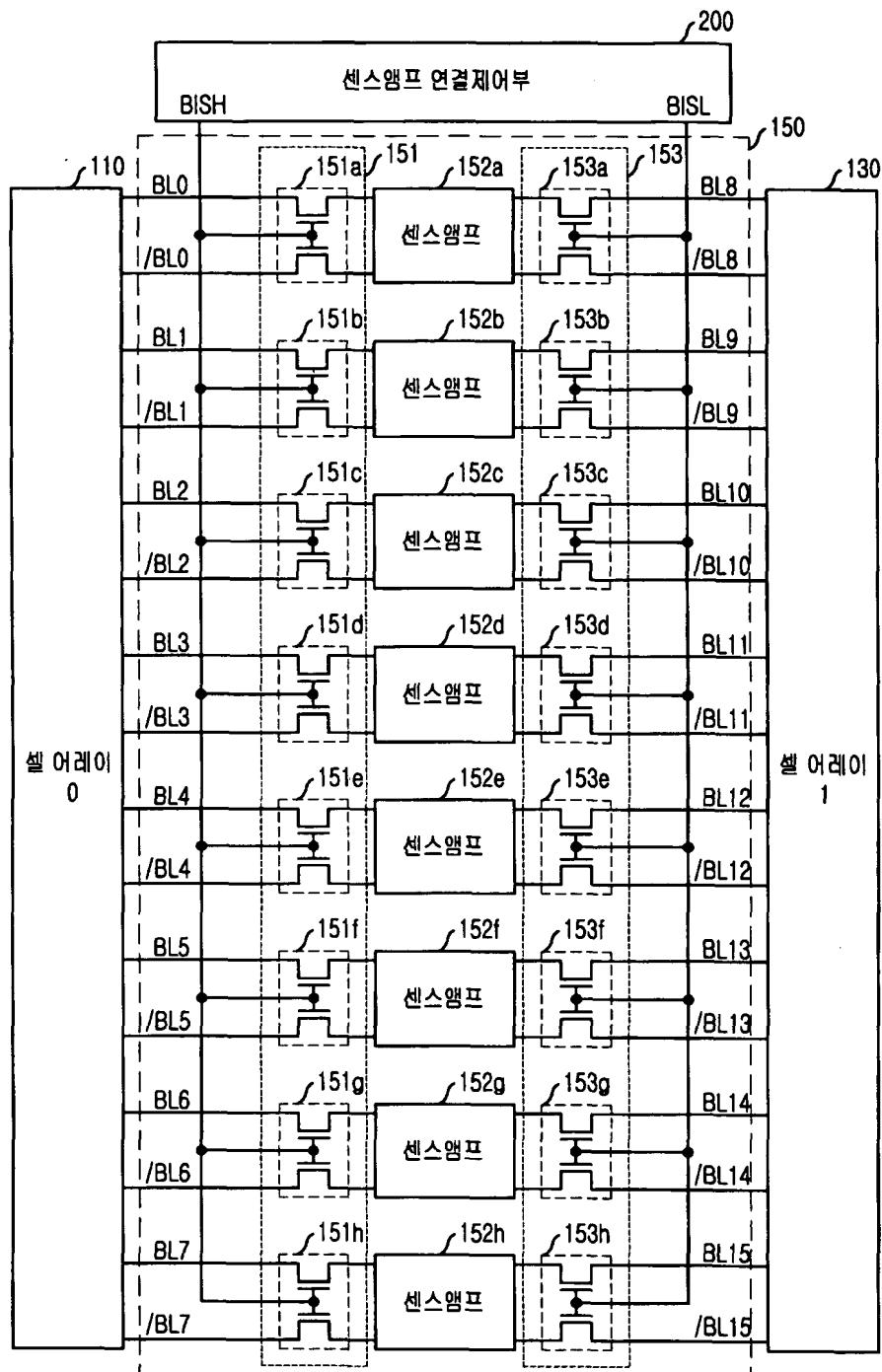
【도 3】



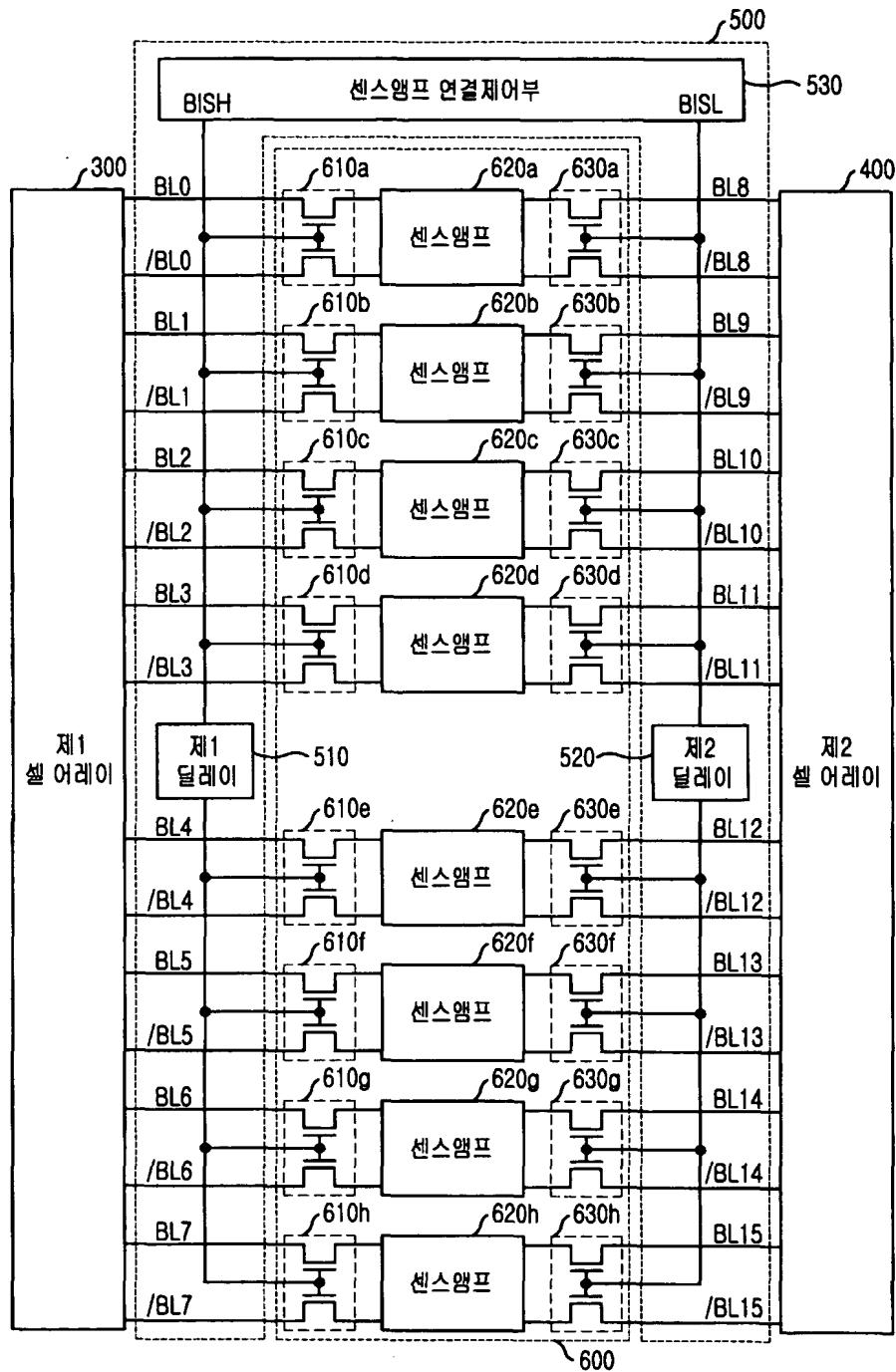
【도 4】



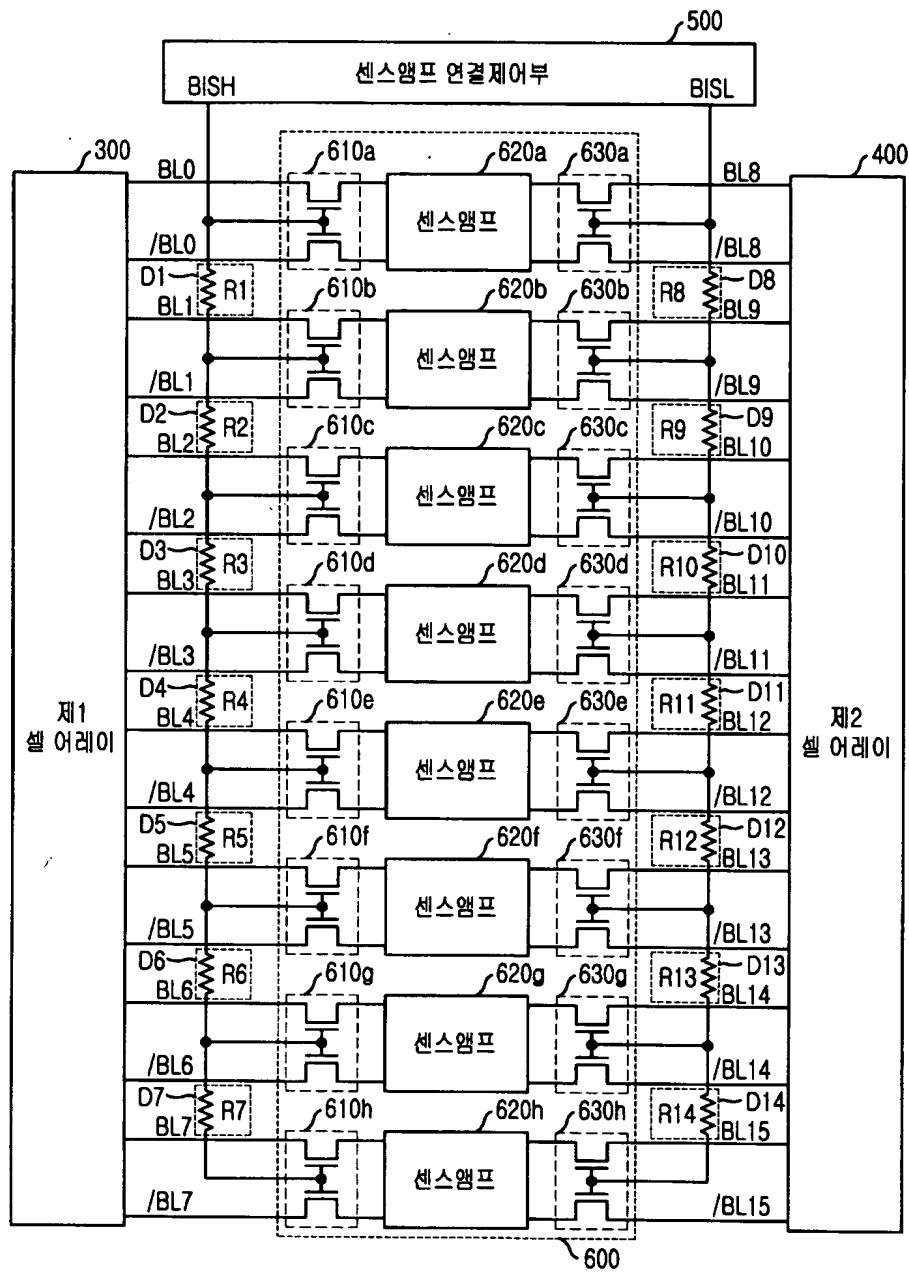
【도 5】



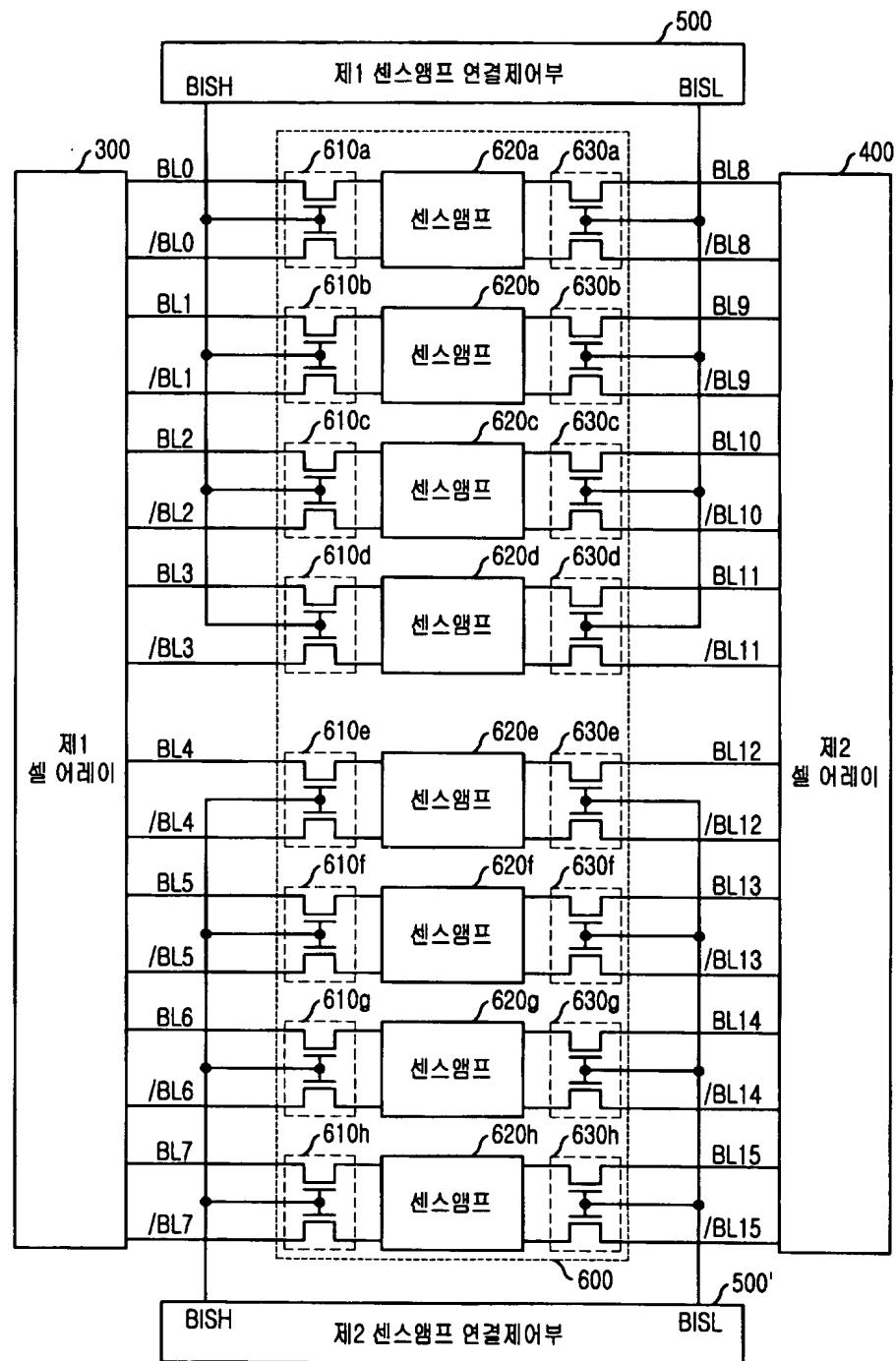
【도 6】



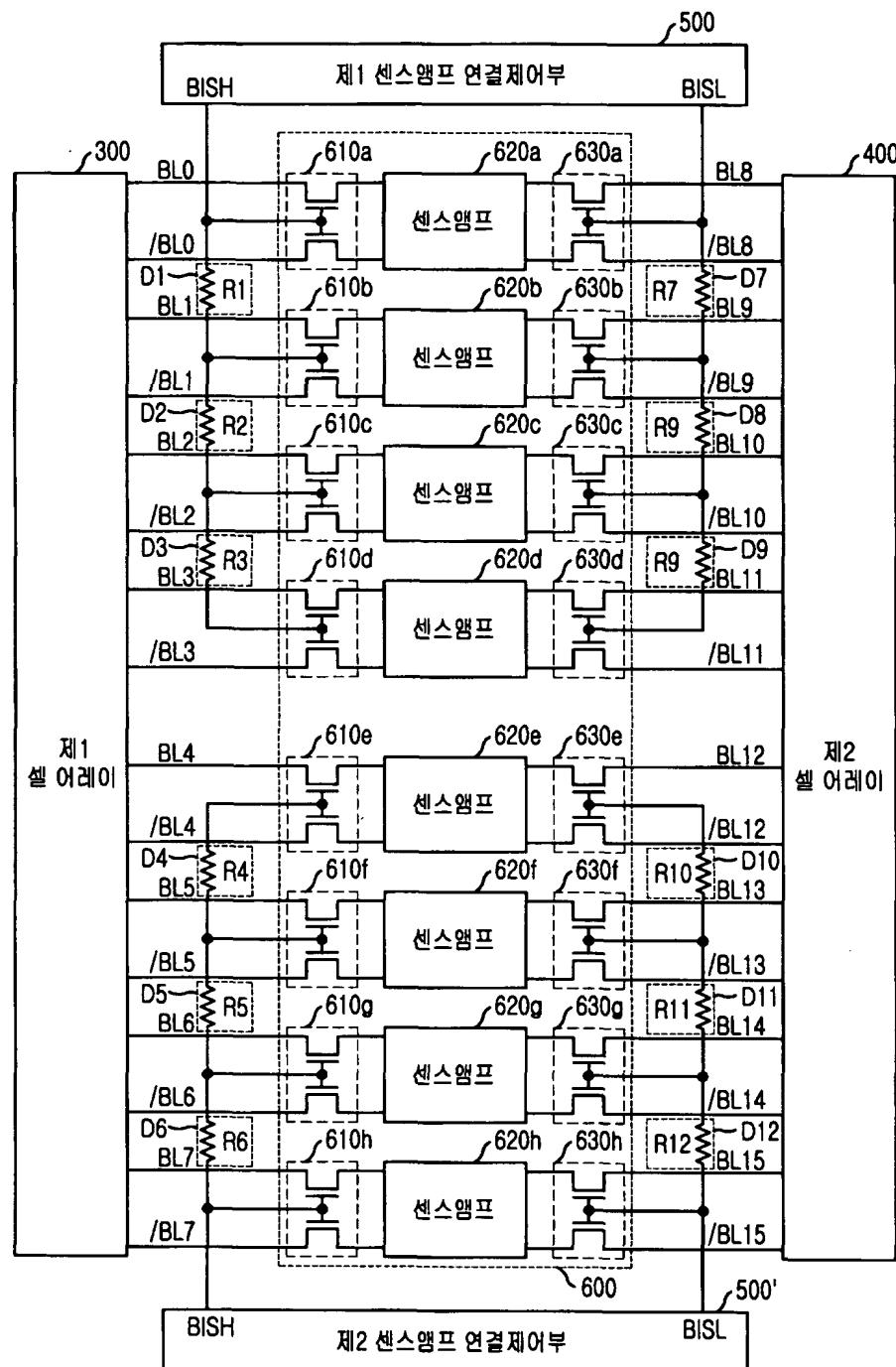
【도 7】



【도 8】



【도 9】



【도 10】

